

Published December 15, 2000

Title of the Invention:

Manufacturing method of MOS transistor

Abstract:

The present invention relates to a manufacturing method of a MOS transistor. A conventional manufacturing method of a MOS transistor has a problem in that deterioration is caused in properties of a device due to influence of generation of thermoelectric charge as the deepening of integration proceeds. In view of this problem, the present invention comprises: the step of forming a trench in a substrate with an impurity area formed thereon, and forming an insulating film inside the trench; the step of etching an upper entire surface of the insulating film and a portion of an intermediate concentration source/drain to a predetermined depth, and then forming a channel area in the etched area; the step of sequentially forming a low and a high concentration impurity area on an upper entire surface of the channel area and the intermediate concentration source/drain, etching a portion of the high and low concentration impurity areas to expose the channel area and the intermediate concentration source/drain in its vicinity, so as to form a low concentration source/drain and a high concentration source/drain sequentially laminated on top of the intermediate concentration source/drain; and the step of forming a gate oxide on a lateral side of the etched portions of the low concentration source/drain and the high concentration source/drain as well as on top of the exposed channel area and intermediate concentration source/drain, and forming a gate electrode on top of the gate oxide which has a top surface coplanar with a top surface of the high concentration source/drain. The source and drain is formed by a laminated intermediate, low and high concentration structure, with an isolation area formed in the substrate area between the source and drain, so that even when the integration of a device is deepened, generation of thermoelectric charge is prevented, thereby improving the integration of a MOS transistor and its properties.

What is claimed is:

1. A manufacturing method of a MOS transistor comprising: an intermediate concentration source/drain forming step of forming an impurity area of intermediate concentration on top of a substrate, and then forming a trench in a part of the impurity

area and the substrate therebeneath; a source and drain isolating structure forming step of vapor-depositing an insulating film inside the trench formed in the substrate; a channel area forming step of etching an upper entire surface of the isolating structure and a part of the middle concentration source/drain adjacent to the isolating structure to a predetermined depth, and then filling single crystal silicon in the etched area to form a channel area; a source and drain forming step of forming a low concentration impurity area and a high concentration impurity area sequentially on an upper entire surface of the channel area and the intermediate concentration source/drain, and etching a part of the high concentration impurity area and the low concentration impurity area and exposing the channel area and a part of the intermediate concentration source/drain in its vicinity, so as to form a low concentration source/drain and a high concentration source/drain sequentially laminated on top of the intermediate concentration source/drain; and a gate forming step of forming a gate oxide on a lateral side of the etched portions of the low concentration source/drain and the high concentration source/drain, as well as on top of the exposed channel area and the intermediate concentration source/drain, and forming a gate electrode on top of the gate oxide which has a top surface coplanar with a top surface of the high concentration source/drain.

2. The manufacturing method of a MOS transistor according to claim 1, wherein the impurity area of intermediate concentration is formed by ion-implanting in the substrate impurity ions of a conductive type different from the substrate.
3. The manufacturing method of a MOS transistor according to claim 1, wherein the impurity areas of low concentration and high concentration are grown using an alternative single crystal growing method.

In the drawings, 1 denotes a substrate, 2 denotes an intermediate concentration source/drain, 3 denotes an isolating film, 4 denotes an isolating film, 5 denotes a channel area, 6 denotes a low concentration source/drain, 7 denotes a high concentration source/drain, and 8 denotes a gate oxide.

17

(19) 대한민국특허청(KR)
 (12) 공개특허공보(A)

(51) Int. Cl.
 H01L 21/334

(11) 공개번호 2000-0074705
 (43) 공개일자 2000년 12월 15일

(21) 출원번호	10-1999-0016029
(22) 출원일자	1999년 05월 25일
(71) 출원인	현대반도체 주식회사 김영환 충청북도 청주시 풍덕구 양성동 1번지
(72) 발명자	정연우
(74) 대리인	박종원

소송부구 : 있음

(54) 모스 트랜지스터 제조방법

요약

본 발명은 모스 트랜지스터 제조방법에 관한 것으로,とりわけ 모스 트랜지스터 제조방법을 접착화가 심화되면서 열전하·발생등의 영향으로 소자의 특성이 물화되는 문제점을 감안한 데서 출발점으로 한다. 이와 같은 문제점을 감안한 본 발명은 상부에 쿠수풀 영역이 형성된 기판에 트랜치를 형성하고 그 트랜치내에 절연막을 형성하는 단계와; 상기 절연막의 상부전면 및 중간농도의 소스 및 드레인의 일부를 소정길이로 치각한 후, 그 치각 단계와; 상기 치각의 상부전면 및 중간농도의 소스 및 드레인의 상부전면에 저농도 및 고농도를 순차적으로 형성하는 단계와; 상기 치각의 저농도 및 고농도 부분을 중간농도의 일부를 치각하여 상기 고농도 부분과 그 주변부의 중간농도 소스 및 드레인의 일부를 노출시켜, 상기 중간농도 소스 및 드레인의 채널영역과 그 주변부의 중간농도 소스 및 드레인의 일부를 형성하는 단계와; 상기 저농도 부분에 순차적으로 적용된 저농도 소스 및 드레인과 고농도 소스 및 드레인을 형성하는 단계와; 상기 저농도 소스 및 드레인과 고농도 소스 및 드레인의 치각부분 즉면과 상기 노출된 채널영역과 중간농도 소스 및 드레인의 상부의 게이트산화막을 형성하고, 그 게이트산화막의 상부에 상기 고농도 소스 및 드레인의 치각부분과 저농도 부분을 형성하는 단계로 구성되어, 소스 및 드레인을 중간농도 저농도 고농도의 접촉구로 형성함과 마찬가지로 그 소스와 드레인 사이 기판영역에 분리영역을 형성하고, 소자의 접착화가 심화되는 경우에도 열전하 발생을 방지하여 모스 트랜지스터의 접착도를 확장시키며, 그 특성을 향상시키는 효과가 있다.

도면

도면

도면

도면의 관리와 표지

도1은 종래 000구조 모스 트랜지스터의 단면도,

도2는 종래 100구조 모스 트랜지스터의 단면도,

도3~내자~도39는 본 발명 모스 트랜지스터 제조공정 수순단면도,

도4~도면의 주요 부분에 대한 부호의 설명

1:기판 2:증간농도 미온주입층

3:4:격리막 5:채널영역

6:저농도 에파층 7:고농도 에파층

8:게이트산화막 9:다급정실리콘(게이트전극)

도면의 관리와 표지

설명의 대목

본 명의 속어는 기초로아 및 그 조아의 용어가

본 발명은 모스 트랜지스터 제조방법에 관한 것으로, 특히 채널영역의 하부층에 절연막을 위치시켜, 물질로 절연화·누설전류를 개선하여 모스 트랜지스터의 특성을 향상시키는데, 적당히 다른 모스 트랜지스터 제조방법에 관한 것이다.

모스 트렌지스터의 단면도로서, 이에 도시한 바와 같이 피막 기판(1)의 상부에 게이트(2)를 증착한 후, 그 게이트(2)의 속면 기판하부에 저농도 불순물 미온을 깊게 미온주입하고, 고농도 트론(3)을 형성한 후, 그 게이트(2)의 속면 기판하부에 저농도 불순물을 미온을 깊게 미온주입하고, 고농도 트론(3)을 형성한 후, 그 게이트(2)의 속면 기판하부에 저농도 불순물을 미온을 깊게 미온주입하고, 고농도 트론(3)과 고농도 소스 및 드레인(4)과 고농도 소스 및 드레인(4)을 형성하였다.

또한, 도2는 종래 LDD구조 모스 트랜지스터의 단면도로서, 미에 도시한 바와 같이 기판(1)의 상부에 게이트(2)를 형성하고, 그 게이트(2)의 측면에 기판(1) 하부에 저널도 펄프(3)를 형성하고, 그 저널도 펄프(3)를 형성한 후, 그 저널도 펄프(3)의 측면에 퀼팅(5)을 형성하고, 퀼팅(5)을 미온주입을 통해 상기 퀼팅(5)의 측면에 기판(1) 하부에 고온도 소스 및 드레인을 형성하게 된다.

한국이 이루고자 하는 기술적 고지

그러나, 종래 100구조의 모스 트랜지스터는 게이트의 크기가 더 감소할 경우 상기 000구조와 동일하게 올 전류의 발생 및 단자간효과의 발생으로 소자의 특성이 열화되는 문제점이 있었다.

미와 같은 문제점을 감안한 본 발명은 100구조의 모스 트랜지스터의 접적도 한계를 극복하여 접적도를 향상시킬 수 있는 모스 트랜지스터 제조방법을 제공함에 그 목적이 있다.

한국의 구체 및 주제

미하, 승기와 같이 구성된 문·발음·모스 트랜지스터 제조 방법을 좀 더 상세히 설명한다.

그 다음, 도 3b에 도시한 바와 같이 상기 포토레지스트(PR1) 패턴을 제거하고, 산화막 등의 절연막을 고온에서 쉽게 증착하여, 상기 트랜치의 형성으로 인한 기판(1)과 통간공도 미온주입층(2)의 손상을 복원하는 동시에 경리막(3)을 형성하고, 그 경리막(3)의 상부전면에 산화막 등의 경리막(3)을 두껍게 증착한다. 이때 미온주입층(2)은 상기 형성한 트랜치가 채워질 정도로 두꺼게 형성된다. 평탄화작업을 통해 상기 증간공도 미온주입층(2)의 상부에 증착된 경리막(3, 4)을 제거하여, 상기 트랜치 내에 위치하는 경리막(3, 4)을 형성하게 된다.

그 다음, 도3c에 도시한 바와 같이 상기 격리막(3,4)과 중간높도 미온주입용(2)의 상부전면에 포토레지스터(2R2)를 도포하고, 노광 및 현상하여 상기 격리막(3,4)의 상부전면과 그 격리막(3,4)의 주변부에 위치하는 주간높도 미온주입용(2)의 상부일부를 소정면적으로 노출시키는 패턴을 형성한다.

증간율도 이온주입층(2)을 소성질(1)으로 각각하여 새기나 흙을 쟁اع할 경우다.
그 다음, 3d에 도시한 바와 같이 새기 포토레지스트(PR2) 패턴을 제거하고, 새기 노출되는 증간율도 미
온주입층(2)과 격리막(3,4)의 상부면에 단결정질리본을 패치하고, 평판화하여 새기 패치리학(3,4)과 미온
온주입층(2)의 접착으로 인된 채널형성영역에 채널영역(5)을 형성한다.

수립증(2)과 낙목으로 통합된 시장증권은 그 다음에 도시화 비와 같이 승기 채널영역(5)과 중간농도 미온주입층(2)의 상부전면에 선택적 단층(6)을 형성하고, 그 저농도 에피층(6)의 상부에 엔향의 고농도 에피층(?)을 성장시킨다.

그 다음, 도3f에 도시한 바와 같이 상기 포토레지스트(PR3) 패턴을 제거하고, 상기 구조의 상부전면에 얇은 게이트산화막(8)을 증착하고, 그 게이트산화막(8)의 상부에 상기 저농도 에피층(6)과 고농도 에피층(7)을 차원상으로 다른 두께로 형성한다.

그 다음, 도38에 도시한 비와 갈미 상기 종착된 다결절실리콘(9)과 그 하부의 게이트산화막(6)을 평坦화하여 상기 고농도 에피층(?)의 상부일부를 노출시킴으로써, 상기 고농도 에피층(?)과 저농도 에피층(6)의 신각경역 내에 위치하는 게이트를 형성하게 된다.

• 558 •

상기한 바와 같이 본 발명은 채널 영역의 하부에 헤리кцион 형성하여 소스와 드레인의 사이를 완전히 차단하여 퍼시 씨트의 발생과 누설전류 발생을 억제함과 마찬가지로 소스 및 드레인을 미래로 부터 증가폭도 저하를 도고, 고정도의 저항구조를 갖도록 형성함으로써, 고전계에 의한 영향을 최소화 하며, 저전계에서의 저항을 줄여 모스 트랜지스터의 크기가 $0.8 \mu\text{m}$ 이하의 구조에서도 단체널효과와 융전화가 발생하는 것을 방지하여 모스 트랜지스터의 접속도 및 특성을 향상시키는 효과가 있다.

(5) 組子의 懷孕

원구간 1

형구합 2

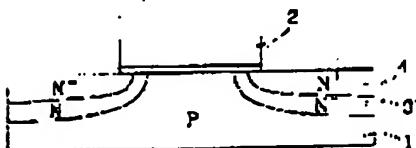
제 1학기 있어서, 살기 증간농도 봄순을 영역은 살기 기판과는 다른 도전형의 봄순을 미온을 기판에 이온 주입하여 형성하는 것을 특징으로 하는 모스 트랜지스터 제조방법.

형구합 3

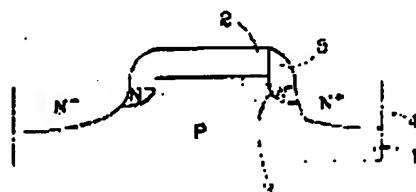
제 1학기 있어서, 살기 저농도 봄순을 영역과 고농도 봄순을 영역은 선택적 단결정성장법을 이용하여 성장시키는 것을 특징으로 하는 모스 트랜지스터 제조방법.

도면

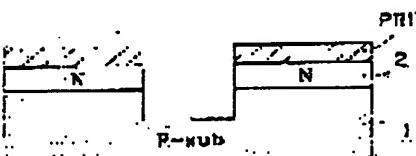
도면1



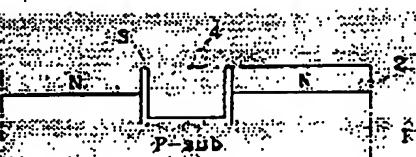
도면2



도면3a



도면3b



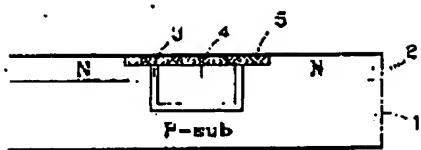
도면4



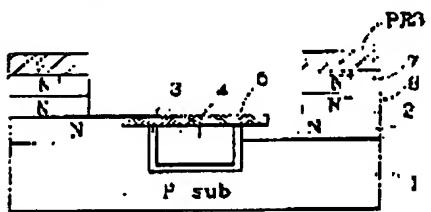
5-4

Best Available Copy

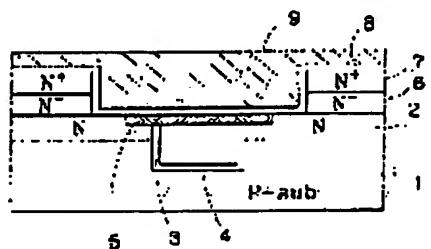
5P13d



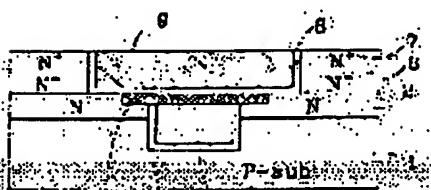
5P13e



5P13f



5P13g



Translation of a relevant portion of the Korean office action

Claims 1-11 of the present application relate to a transistor, a manufacturing method thereof, and the like, and are characterized in that the semiconductor film containing the source area and the semiconductor film containing the drain area are formed separately at both sides of an insulating member, and the semiconductor film containing the channel area is formed over the insulating member. The claimed subject matter could have easily been invented by a person with ordinary skill in the art from a manufacturing method of a MOS transistor disclosed in cited reference 1 (Korean Patent Application Unexamined Publication No. 2000-74705) in which the source and the drain are completely isolated by an isolating film formed under the channel area, and a thin-film transistor manufacturing method disclosed in cited reference 2 (Japanese Patent Application Unexamined Publication No. 6-104439) in which the source and the drain are isolated, and the channel area is formed from a different semiconductor layer.